

⑪ 公開特許公報 (A)

昭63-305529

⑨ Int. Cl. 4	識別記号	府内整理番号	⑩ 公開 昭和63年(1988)12月13日
H 01 L 21/84		7739-5F	
21/20		7739-5F	
21/316		6708-5F	
21/76		D-7131-5F	
27/00	301	D-8122-5F	
27/04		7514-5F	
29/72		8526-5F	
29/78	311	F-8422-5F	審査請求 未請求 発明の数 2 (全7頁)

⑪ 発明の名称 基板およびその製造方法

⑫ 特願 昭62-140037

⑬ 出願 昭62(1987)6月5日

⑭ 発明者 有田 瞳 信 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑮ 発明者 門 勇 一 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑯ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑰ 代理人 弁理士 山川 政樹 外1名

明細書

1. 発明の名称

基板およびその製造方法

2. 特許請求の範囲

(1) 単結晶Si上に格子定数が該Siと一致する単結晶絶縁膜を有することを特徴とする基板。

(2) 単結晶絶縁膜は、 $Sr_xSi_{1-x}O$ 膜、 $Ca_xSi_{1-x}O$ 膜、 $Zr_xSi_{1-x}O$ 膜、 $Mg_xSi_{1-x}O$ 膜、 $Pb_xSi_{1-x}O$ 膜、 $Ce_xSi_yO_z$ 膜のいずれかを少なくとも1つ含むことを特徴とする特許請求の範囲第1項記載の基板。

(3) 単結晶絶縁膜は、 $Sr_xGe_yO_z$ 膜、 $Ca_xGe_yO_z$ 膜、 $Zr_xGe_yO_z$ 膜、 $Mg_xGe_yO_z$ 膜、 $Pb_xGe_yO_z$ 膜、 $Ce_xGe_yO_z$ 膜のいずれかを少なくとも1つ含むことを特徴とする特許請求の範囲第1項記載の基板。

(4) 単結晶絶縁膜は、 $Sr_xBa_{1-x}O$ 膜、 $Ca_xBa_{1-x}O$ 膜、 $Zr_xBa_{1-x}O$ 膜、 $Mg_xBa_{1-x}O$ 膜、 $Pb_xBa_{1-x}O$ 膜、 $Ce_xBa_yO_z$ 膜のいずれかを少なくとも1つ含むことを特徴とする特許請求

求の範囲第1項記載の基板。

(5) 単結晶Si上に格子定数が該Siと一致する単結晶絶縁膜をヘテロエピタキシャル成長させることを特徴とする基板の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体デバイスに用いる基板(ウエハ)およびその製造方法に関し、特にSi上のSOI(Silicon on Insulator)構造を利用したデバイスやLSI、3次元LSI等の製作において、単結晶絶縁膜およびこの上にヘテロエピタキシャル成長する元素半導体(Si,Ge等)、化合物半導体、液晶半導体、金属等の単結晶薄膜の高品質化技術に関するものである。

〔従来の技術〕

Si上のMBE(Molecular Beam Epitaxy)またはCVD法による絶縁性単結晶薄膜のヘテロエピタキシーは、SOIデバイスやSOIを用いたLSI、3次元LSI等、次世代の大面積、高性能、多機能LSI化を図る要素技術として、多

くの研究機関で研究が進められている。

このSOI形成法としては、 SiO_2 薄膜上のSi層のレーザーアニーリング、または電子ビームアーナー法あるいはラインヒータを用いたゾーンメルティング法等による方法がある。これら的方法はいずれも、 SiO_2 薄膜上の多結晶Si層を融点(約1400°C)以上にあげることが特徴である。そして、結晶成長の核となる種あり、または種なしのいずれかの方法で結晶成長させるものであり、液相成長法に分類される。しかし、高温プロセスを経るためプロセス制約が大きいこと、高品質結晶を得るための熱分布制御が複雑で、プロセスマージンが小さく、大面積の高品質単結晶Si層の形成が難しい。

また、その他の方法として、 SiO_2 上に堆積した非晶質Si層を低温で横方向に固相成長させる方法がある。この方法は、低温(約500°C程度)で単結晶化が可能となる長所があるが、横方向固相成長距離が短く、大面積高品質の結晶成長が困難であり、プロセス設計の自由度が小さいという

応力が結晶の臨界せん断応力を越えると転位が発生する。この応力の値は理論的にはSiの場合、約 10^{11} dyn/cm^2 であり、かなり高い値である。しかしながら、Si中に転位を含んでいたり、高温になるほど結晶の臨界せん断応力は小さくなる傾向を持つている。また、成長温度が高い場合には、熱膨張係数の差により転位が発生し易くなる傾向を持つている。

しかしながら、成長温度を低温に保つことに上り、熱膨張係数差による転位発生は、実際には格子不整合等のトリガーがなければ問題でなくなる。成長温度の低温化に関しては、超高真空技術および蒸着物質の励起法として波長可変の光照射、加速イオン等の利用により低温化が可能となっている。

従つて、最終的に残る本質的なフィーティング定数は格子定数となると考えられる。特に、格子定数の差が零でない場合、ヘテロ界面ではエッジ転位、置換型原子、転位ループ、空孔集合体等の結晶欠陥等は容易に発生し、薄い高品質ヘテロエビ

問題がある。

一方、ヘテロエピタキシャル成長法は、低温成長(約800°C以下)、高品質化および大面积化が可能である等の利点を有している。しかしながら、この方法は、選定材料の物性定数によつて、成長した膜の結晶品質が大幅に異なつてくる。

一般に、単結晶絶縁薄膜上にヘテロエピタキシャル成長したSi結晶の品質は、下地の絶縁材料の結晶品質に強く影響される。

そして、Si上にヘテロエピタキシャル成長する高品質絶縁薄膜材料の主たる具備条件としては、以下のことがあげられる。即ち、Siとの格子不整合率が零であること、Siの結晶構造と一致していること、熱膨張係数がSiのそれに近いこと、融点が高いこと、誘電率が小さいこと、化学量論的組成が得やすいことなどである。これらの中でも、結晶構造が立方晶であること、格子不整合率が零であること、熱膨張係数がSiに近いこと等は最も重要な条件である。

一般に、ヘテロ系の熱膨張係数の差に起因する

転位の形成はできない。

今日迄、ヘテロエピタキシャル成長法によりSi上に堆積された絶縁材料としては、BP(例えばM.Takigawa, M.Hirayama, and K.shono, Jpn.J.Appl.Phys., 13, 411<1974>)、MFO・ Al_2O_3 (M.Ihara, et al, J.Electrochem.Soc., 129, 2569<1982>)、 CaF_2 (H.Ishiwara and T.Aso, Appl.Phys.Lett. 40, 66<1982>)、 BaF_2 および SrF_2 (H.Ishiwara and T.Aso, Mat.Res.Soc.Symp.Proc. Vol. 25<1984>)、YSZ($(\text{ZrO}_2) \times (\text{Y}_2\text{O}_3)_{1-x}$)(H.M.Manasevit, J.Golecki, L.A.Moudy, J.J.Yang and J.E.Mee, J.Electrochem.Soc., 130, 1752<1983>)等がある。しかし、これらは全て、Siとの格子不整合率は零でない。また、今までに発表されている周期律表IIa族の元素の弗化物(CaF_2 , BaF_2 , SrF_2)の液晶ではSiとの格子不整合率を零にすることは原理的に不可能である。

〔発明が解決しようとする問題点〕

このように、今までの技術は、格子不整合率を認めたまま、ヘテロエピタキシャル成長温度とか成長速度の最適化により単結晶絶縁薄膜の高品質化が図られてきた。また、単結晶絶縁膜上の Si 層の高品質化は、Si のバッファ層の導入(即ち、絶縁膜上のヘテロエピタキシャル層成長前に、予め固相成長による Si 層を形成する方法、例えば M. Ishida, et al, JJAP Letter, 20, L541 <1981>)により、Si 層の高品質化を図ってきた。

しかしながら、Si と格子不整合率が等でない場合、界面近傍でエッジ転位、置換型原子、転位ループ、空孔集合体等の結晶欠陥等を発生する。そのため、界面から原子のオーダーの厚みで急峻かつ高品質なヘテロ界面を必要とするデバイスはできなかつた。また、ヘテロエピタキシャルの厚みとして、数十 μm 程度成長させないと、高品質の Si 層が得られないという問題があつた。

本発明はこのような問題点を解決するために左

されたものであり、その目的は、新しい酸化物の化合物または混晶の絶縁性材料を用い、Si 上に薄い高品質の単結晶絶縁膜を堆積することにより、高性能、高機能デバイスの作成を図ることができるものである。

〔問題点を解決するための手段〕

本発明に係る基板は、単結晶 Si 上に格子定数が該 Si と一致する単結晶絶縁膜を有することを特徴とするものである。

また、本発明に係る基板の製造方法は、単結晶 Si 上に格子定数が該 Si と一致する単結晶絶縁膜をヘテロエピタキシャル成長させることを特徴とするものである。

〔作用〕

したがつて、本発明においては、Si 上へのヘテロエピタキシャル成長法による立方晶構造を有する単結晶絶縁膜の格子定数を Si のそれと完全に 2 次元的に一致させることができ、これにより Si 上に薄い高品質の単結晶絶縁膜を形成することができる。

〔実施例〕

以下、実施例と共に本発明を詳細に説明する。

実施例 1.

Si/S_xBa_{1-x}O/Si 構造の例:

P 形(100) または (111)、比抵抗 20 $\Omega\text{-cm}$ の Si 基板を通常の洗浄液、即ち、H₂O₂ と H₂SO₄ を 1:4 の体積比で混合した煮沸液で 15 分洗浄し、純水で洗浄する。続いて、H₂O₂ と HCl を 1:4 の体積比で混合した煮沸液で 15 分洗浄する。その後、純水で洗浄した後、50% HF と純水を 1:100 の混合した液で Si 表面の酸化物を除去する。その後、H₂O₂ と H₂SO₄ を 1:4 の体積比で混合した煮沸液に試料を約 10 分ディップした後、純水洗浄し、乾燥させる。

この試料を分子線蒸着装置に導入し、背圧 5×10^{-10} Torr の超高真空蒸着装置中で、試料温度 850°C に加熱し、Si 表面の低級酸化物を蒸発させ、Si の清浄表面を出す。続いて、SrO(融点: 2454°C) と BaO(融点: 1923°C) をそれぞれ独立に電力制御可能な二つの電子銃により、

SrO と BaO の組成がそれぞれ 2.4%、7.6% の比率で混ざり合つて蒸着する。基板温度は 800°C で SrO と BaO の蒸着速度をそれぞれ 2.4 $\text{\AA}/\text{SEC}$ 、7.6 $\text{\AA}/\text{SEC}$ の比率になるよう蒸着能力の制御を行つた。このとき、成長した膜の AES 分析を行つた結果、組成と蒸着速度とは良く対応している。次いで、同一真空チャンバー内に Si 蒸発用の電子銃があり、Si 上に Sr_xBa_{1-x}O 膜のヘテロエピタキシャル成長が終了後、この上に Si 層を堆積するため、基板温度 650°C、蒸着速度約 1 $\text{\AA}/\text{SEC}$ で Si のヘテロエピタキシャル成長を行つた。

このようにして形成した Sr_xBa_{1-x}O 膜から成る単結晶絶縁膜およびその上の Si の結晶性評価を He⁺ の後方散乱法を用いて評価した結果、結晶軸方向に対するアライン信号とランダム信号との強度比は単結晶絶縁膜、Si 共に 0.03 以下となり、バルク並みの高品質単結晶絶縁膜と Si 膜が得られた。これらの結果から、単結晶絶縁膜上に成長するものは Si だけでなく、他の材

科、例えば、化合物半導体や金属単結晶でも可能であることは容易に類推できる。

このように、本発明によるときは、Si 基板上に該 Si と格子定数の一致する単結晶絶縁膜を成長させることにより、その Si との格子不整合率を零にすることができる、高品質の単結晶絶縁膜および Si 膜を得ることができる。

すなわち、従来より提案されている Si 上へのヘテロエピタキシャル成長による絶縁性薄膜(例えば、BP, MgO, Al₂O₃, CaF₂, YSZ 等)は、一応単結晶にはなっているが、その結晶性は十分なものではなく、転位密度として評価出来ない程度の低品質結晶であつた。これらの材料は全て、格子定数は Si と一致しておらず、格子不整合率は最小 0.6 % から最大 47.7 % である。また、絶縁性薄膜とこの上の Si 膜との界面には多くの Si の未結合手があり、ミスフィット転位が入っていた。これに対して、本発明のものは、Si と格子定数を完全に一致させ、酸化物化合物または混晶の絶縁性材料をヘテロエピタキシャル成長さ

る条件は以下に示す通りである。 $(SrO)_x(GeO)_{1-x}$ 膜の時の SrO と GeO または Ge の蒸着速度はそれぞれ 4.3 \AA/SEC , 5.7 \AA/SEC C, $(CaO)_x(GeO)_{1-x}$ 膜の時の CaO と GeO または Ge の蒸着速度はそれぞれ、 8.4 \AA/SEC , 1.6 \AA/SEC C, $(MgO)_x(GeO)_{1-x}$ 膜の時の MgO と GeO または Ge の蒸着速度はそれぞれ 1.5 \AA/SEC , 8.5 \AA/SEC であつた。

実施例 4.

周期律表の IIa 族の Ca と Mg の酸化物と Ba または Ba の酸化物との混晶も蒸着速度以外は実施例 1 と同じ方法を用い、Si と格子不整合率を零にすることができる。蒸着速度に関する条件は以下に示す通りである。Ca_xBa_{1-x}O 膜の時の CaO と Ba または BaO の蒸着速度はそれぞれ 1.3 \AA/SEC , 8.7 \AA/SEC C, Mg_xBa_{1-x}O 膜の時の MgO と Ba または BaO の蒸着速度は 0.7 \AA/SEC , 9.3 \AA/SEC であつた。

実施例 5.

セリウム元素(Ce)の酸化物と Si, Ba, Ge

せることにより、ミスフィットに起因する転位を完全に無くすることができる。

実施例 2.

周期律表の IIa 族の Sr, Ca および Mg の酸化物と Si または SiO との混晶も蒸着速度以外は実施例 1 と同じ方法を用い、Si と格子不整合率を零にすることができる。蒸着速度に関する条件は以下に示す通りである。Sr_xSi_{1-x}O 膜の場合、SrO と SiO または Si の蒸着速度はそれぞれ 8.5 \AA/SEC , 1.5 \AA/SEC また、Ca_xSi_{1-x}O 膜の時の CaO と SiO または Si との蒸着速度はそれぞれ 7.3 \AA/SEC , 2.7 \AA/SEC また、Mg_xSi_{1-x}O 膜の時の MgO と SiO または Si との蒸着速度はそれぞれ 5.8 \AA/SEC , 4.2 \AA/SEC であつた。

実施例 3.

周期律表の IIa 族の Sr, Ca および Mg の酸化物と Ge または Ge 酸化物との混晶も蒸着速度以外は実施例 1 と同じ方法を用い、Si と格子不整合率を零にすることができる。蒸着速度に関する

または Si, Ba, Ge の酸化物との混晶も蒸着速度以外は実施例 1 と同じ方法を用い、Si と格子不整合率を零にすることができる。蒸着速度に関する条件は以下に示す通りである。即ち、 $(CeO_2)_x(SiO)_{1-x}$ 膜の時の CeO₂ と SiO の蒸着速度はそれぞれ 9.9 \AA/SEC , 0.1 \AA/SEC C, $<CeO_2>_x <BaO>_{1-x}$ 膜の時の CeO₂ と BaO の蒸着速度はそれぞれ 8.1 \AA/SEC , 1.9 \AA/SEC C, また、 $<CeO_2>_x <GeO>_{1-x}$ 膜の時の CeO₂ と GeO の蒸着速度はそれぞれ 9.1 \AA/SEC , 0.9 \AA/SEC であつた。

実施例 6.

鉛元素(Pb)の酸化物と Si, Ba, Ge または Si, Ba, Ge の酸化物との混晶も蒸着速度以外は実施例 1 と同じ方法を用い、Si と格子不整合率を零にすることができる。蒸着速度に関する条件は以下に示す通りである。即ち、 $(Pb_2O)_x(SiO)_{1-x}$ 膜の時の Pb₂O と SiO の蒸着速度はそれぞれ 9.7 \AA/SEC , 0.3 \AA/SEC C, $(Pb_2O)_x(BaO)_{1-x}$ 膜の時は Pb₂O と BaO

の蒸着速度はそれぞれ 6.4 \AA/sec , 3.6 \AA/sec , $(\text{Pb}_2\text{O})_x(\text{GeO})_{1-x}$ 膜の時の Pb_2O と GeO の蒸着速度はそれぞれ 8.1 \AA/sec , 1.9 \AA/sec であつた。

実施例 7.

ジルコニウム元素 (Zr) の酸化物と Si , Ba , Ge または Si , Ba , Ge の酸化物との混合物も蒸着速度以外は実施例 1 と同じ方法を用い、 Si と格子不整合率を等にすることができる。蒸着速度に関する条件は以下に示す通りである。

$\text{Zr}_x\text{Si}_{1-x}\text{O}$ 膜の時の ZrO と Si または SiO の蒸着速度はそれぞれ 6.8 \AA/sec , 3.2 \AA/sec , $\text{Zr}_x\text{Ba}_{1-x}\text{O}$ 膜の時の ZrO と Ba または Zr と BaO の蒸着速度はそれぞれ 1.0 \AA/sec , 9 \AA/sec , $(\text{ZrO})_x(\text{GeO})_{1-x}$ 膜の時の ZrO と Ge または Zr と GeO 蒸着速度はそれぞれ 2.1 \AA/sec , 7.9 \AA/sec であつた。

実施例 8.

第 1 図は本発明を酸化物ゲートの電界効果トランジスタに適用したときの実施例を示す構造断面図である。同図において、1 は抵抗率 $20 \Omega \cdot \text{cm}$ の $\text{Si}(100)$ 面の P 型 Si 半導体基板、2 はこの基板 1 上に上記実施例 1 ～ 7 迄に記載した方法により成長させた単結晶絶縁膜から成る成長層である。3 はこの成長層 2 上に連続して、同一チャンバー内で MBE (Molecular Beam Epitaxy) 法より、基板温度 650°C で Si を蒸着速度 5 \AA/sec で約 $1 \mu\text{m}$ ヘテロエピタキシャル成長させた Si 層であり、この Si 層 3 内の結晶品質に関しては、下地の絶縁材料の Si との格子不整合率が零であるため、格子不整合に起因する転位の発生がなくなる点である。4 は 800°C で、 SiH_2Cl_2 と N_2O ガスを用い、圧力 0.5 Torr で減圧 CVD 法で形成した電子間分離用 CVD SiO_2 である。

5 は通常の方法で形成した $0.2 \mu\text{m}$ の Si 热酸化膜、6 は厚み 100 \AA のゲート热酸化膜、7 および 8 はそれぞれ As のイオン注入法で形成したソース領域およびドレイン領域である。9 は通常の方法の CVD 法により形成したゲート用ポリシリ

コンである。10 は Al ゲート電極、11 はソース Al 電極、12 はドレイン Al 電極である。

この実施例による電界効果トランジスタは、 Si 基板 1 上にそれと格子定数の一致する単結晶絶縁膜から成る成長層 2 を有する SOI 構造を用いており、その成長層 2 つまり単結晶の絶縁性薄膜の存在により、寄生 PNP トランジスタが形成されない。また、従来のパルク MOS トランジスタで問題となつてゐるラッテアップ現象が生じない利点を有する。その他、 Si 層 3 内に転位が発生しないため、ドレインと基板間リード電流が少なくなり、高集積化が可能となり、デバイスの高性能化が図れる等の利点を有する。

実施例 9.

第 2 図は本発明を完全分離バイポーラトランジスタに適用したときの実施例を示す構造断面図である。第 2 図において、21 は P 型または N 型の (111) 面の Si 基板であり、この基板 21 上には、上記実施例 1 ないし 7 迄に記載した方法により単結晶絶縁膜から成る成長層 22 を成長させる。

次いで、減圧 CVD 法を用い、圧力 0.5 Torr で SiH_4 の熱分解時に、 As または磷を約 $2 \times 10^{19} \text{ cm}^{-3}$ 程度 Si 中に含むように AsH_3 または PH_3 を混在させ、 400°C で $0.2 \mu\text{m}$ 成長させた後、 550°C 、120 分、還元中で SPE (Solid Phase Epitaxy) を行い、単結晶化を図る。この層が符号 23 で示すコレクター埋め込み層である。次いで、この層 23 の上に減圧 CVD 法により、 SiH_4 の熱分解法により、コレクター層となる N 型 Si エピタキシャル層 24 を比抵抗 $1 \Omega \cdot \text{cm}$ になるように PH_3 を添加し、形成する。その厚みは約 $1 \mu\text{m}$ である。次に、溝分離を行なうため、符号 25 で示す溝分離領域をリアクティブイオンエッティング (RIE) 法により、 SiCl_4 ガスを用い、 5 Pa の圧力で、電力 0.3 W/cm^2 で Si の異方性エッティングを行う。その後、減圧 CVD 法により、 850°C , 1 Torr で SiH_2Cl_2 と N_2O ガスとの分解反応を用いることにより Si 热酸化膜を形成する。この膜厚は約 $1 \mu\text{m}$ 形成し、約 $0.5 \mu\text{m}$ 形成し、約 $0.5 \mu\text{m}$ 基の Si のトレンチ (第 2 図

の25)を充填する。また、コレクターとベース領域の分離のための溝(第2図の36)もトレント25と同様に充填し、形成する。26はSi酸化膜である。27はベース領域で、通常のイオン注入法により形成した。28はエミッター領域であり、通常のイオン注入法によるAs添加多結晶シリコン29から拡散法により形成した。30はベースコンダクトのためのポロンドープポリシリコン、31はコレクター取り出し電極の溝ドープポリシリコンである。32はベース用AL電極、33はエミッター用AL電極、34はエミッター用AL電極である。34はコレクター電極である。35はコレクター補償拡散領域である。

しかし、本実施例のバイポーラトランジスタによると、そのバイポーラ素子が完全漏電体分離に従っているため、分離容量が少なくなり、高集積化が図れると共に、高耐圧、低消費電力のバイポーラデバイスの高速化が図れる等の利点を有する。

〔発明の効果〕

4. 図面の簡単な説明

第1図は本発明を酸化物ゲート型電界効果トランジスタに適用したときの一実施例を示す構造断面図、第2図は本発明を完全分離バイポーラトランジスタに適用したときの他の実施例を示す構造断面図である。

1, 21 Si基板、2, 22 単結晶絶縁膜から成る成長層、3 単結晶のSi層、4 素子分離用CVD SiO₂、5 Si熱酸化膜、6 ゲート酸化膜、7 ソース領域、8 ドレイン領域、9 ゲート用ポリシリコン、10 ALゲート電極、11 ソースAL電極、12 ドレインAL電極、23 コレクター埋め込み層、24 N型Siエピタキシャル層、25 準分離領域、26 Si酸化膜、27 ベース領域、28 エミッター領域、29 As添加多結晶シリコン、30 ポロンドープポリシリコン、31 溝ドープポリシリコン

以上説明したように本発明によるときは、Siと同じ構造の立方晶構造を有する酸化物化合物または液晶の絶縁性材料を用い、ヘテロエピタキシャル法により単結晶絶縁膜を成長させることにより、その薄膜の格子定数をSiと完全に一致させることができる。これによつて、高品質の単結晶絶縁膜をSi上に堆積でき、かつこの単結晶絶縁膜上にミスフィットのない高品質Si層をヘテロエピタキシャル成長することができる。即ち、原子層レベルの多層膜を成長させることができるとなる。さらに、組成変化により格子定数を変えることができるため、Si以外の化合物半導体、金属および金属性薄膜との格子整合をとることも可能となり、超高速電子デバイスのためのヘテロエピタキシャル成長が可能となる。

また、本発明は、他のレーザー照射再結晶化法や固相成長法に比べ、ヘテロエピタキシャル法によつて形成しているため、高品質Si層の大面積化が可能であり、低コスト化が図れる等のすぐれた効果がある。

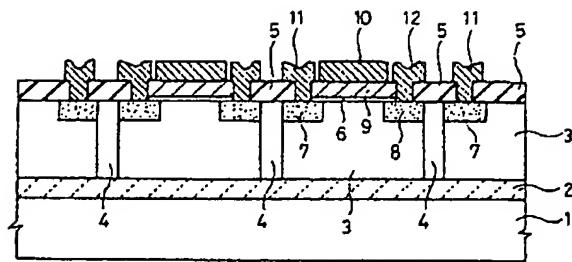
リコン、32 ベース用AL電極、33 エミッター用AL電極、34 コレクターAL電極、35 コレクター補償拡散領域。

発明の効果

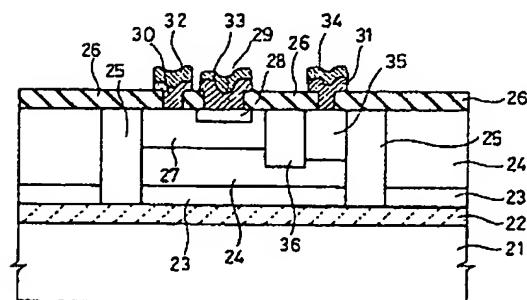
特許出願人 日本電信電話株式会社

代理人 山川政樹(ほか1名)

第 1 圖



第 2 圖



THIS PAGE BLANK (USPTO)